

Publication No. : JP2002-118496

Publication Date : April 19, 2002

Application No. : P2000-308128

Application Date. : October 6, 2000

**Abstract :**

**PROBLEM TO BE SOLVED:** To provide a cell-search deciding circuit for reducing an erroneous detection of an identification of a scramble code number.

**SOLUTION:** The cell-search deciding circuit confirms the scramble code identified by the cell-search by a mobile station of a cellular communication using a W-CDMA. The deciding circuit comprises a first finger 502 for executing a correlation calculation of the scramble code and the reception signal, a second finger 501 for executing a correlation calculation of a first synchronizing channel code and the reception signal, an averaging unit 503 for generating a phase vector by suppressing a noise component of the output of the finger 502, a first power adding means for obtaining the power of the finger 502 to integrate it, a second power adding means for obtaining the power of the finger 501 to integrate it, a first threshold value acquiring means 514 for outputting the threshold value in response to the output of the first power adding means, and a comparator 515 for deciding the threshold value of the output of the second power adding means by using the threshold value.

(51) Int.C1.<sup>7</sup>  
H04B 1/707  
7/26  
H04Q 7/38  
H04L 7/00

識別記号

F I  
H04L 7/00  
H04J 13/00  
H04B 7/26

テーマコード (参考)  
C 5K022  
D 5K047  
N 5K067  
109 A

審査請求 未請求 請求項の数 5 O L (全16頁)

(21)出願番号 特願2000-308128(P2000-308128)

(22)出願日 平成12年10月6日(2000.10.6)

(71)出願人 000001122  
株式会社日立国際電気  
東京都中野区東中野三丁目14番20号

(72)発明者 庄司 哲平  
東京都中野区東中野三丁目14番20号 株式  
会社日立国際電気

(72)発明者 宮谷 徹彦  
東京都中野区東中野三丁目14番20号 株式  
会社日立国際電気

(74)代理人 100097250  
弁理士 石戸 久子 (外3名)

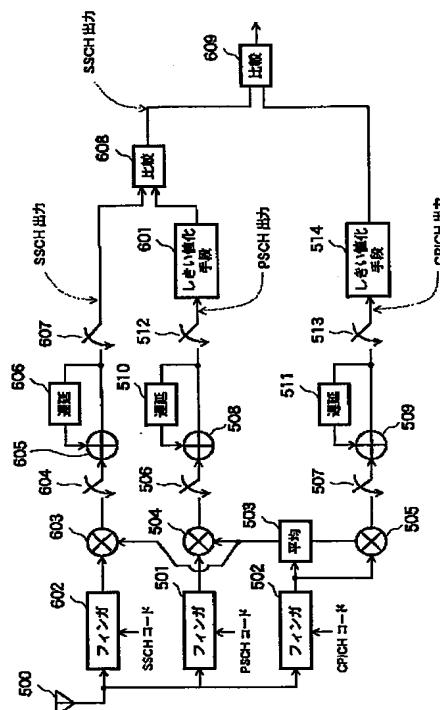
最終頁に続く

## (54)【発明の名称】セルサーチ判定回路

## (57)【要約】

【課題】 スクランブルコード番号の同定における誤検出を低減するためのセルサーチ判定回路を提供することを目的とする。

【解決手段】 W-CDMAを用いたセルラー通信の移動局が、セルサーチにより同定したスクランブルコードの確認を行うセルサーチ判定回路において、スクランブルコードと受信信号との相関演算を行う第1フィンガ502と、第1同期チャネルコードと受信信号との相関演算を行う第2フィンガ501と、第1フィンガ502の出力の雑音成分を抑圧した位相ベクトルを生成する平均化部503と、第1フィンガ502の電力を求め積分を行う第1電力加算手段と、第2フィンガ501の電力を求め積分を行う第2電力加算手段と、第1電力加算手段の出力に応じたしきい値を出力する第1しきい値化手段514と、しきい値を用いて第2電力加算手段の出力のしきい値判定を行う比較部515とを備えた。



## 【特許請求の範囲】

【請求項1】 W-CDMAを用いたセルラー通信の移動局が、セルサーチにより同定したスクランブルコードの確認を行うセルサーチ判定回路において、

前記スクランブルコードと受信信号との相関演算を行う第1相関手段と、第1同期チャネルコードと前記受信信号との相関演算を行う第2相関手段と、前記第1相関器の出力の雑音成分を抑圧した位相ベクトルを生成する平均化手段と、前記位相ベクトルを用いて前記第1相関手段の電力を求め積分を行う第1電力加算手段と、前記位相ベクトルを用いて前記第2相関手段の電力を求め積分を行う第2電力加算手段と、前記第1電力加算手段の出力に応じたしきい値を出力するしきい値化手段と、前記しきい値を用いて前記第2電力加算手段の出力のしきい値判定を行う比較手段と、  
を備えたことを特徴とするセルサーチ判定回路。

【請求項2】 請求項1に記載のセルサーチ判定回路において、

前記しきい値化手段は、前記第1同期チャネルコードと前記スクランブルコードとの送信レベル比に基づいてしきい値を出力することを特徴とするセルサーチ判定回路。

【請求項3】 W-CDMAを用いたセルラー通信の移動局が、セルサーチにより同定したスクランブルコードの確認を行うセルサーチ判定回路において、  
前記スクランブルコードと受信信号との相関演算を行う第1相関手段と、第1同期チャネルコードと前記受信信号との相関演算を行う第2相関手段と、第2同期チャネルコードと前記受信信号との相関演算を行う第3相関手段と、前記第1相関手段の出力の雑音成分を抑圧した位相ベクトルを生成する平均化手段と、前記位相ベクトルを用いて前記第1相関手段の電力を求め積分を行う第1電力加算手段と、前記位相ベクトルを用いて前記第2相関手段の電力を求め積分を行う第2電力加算手段と、前記位相ベクトルを用いて前記第3相関手段の電力を求め積分を行う第3電力加算手段と、前記第2電力加算手段の出力に応じた第2しきい値を出力する第2しきい値化手段と、前記第2しきい値を用いて前記第3電力加算手段の出力のしきい値判定を行う第1比較手段と、前記第1電力加算手段の出力に応じた第1しきい値を出力する第1しきい値化手段と、前記第1しきい値を用いて前記第1比較部の出力のしきい値判定を行う第2比較手段と、  
を備えたことを特徴とするセルサーチ判定回路。

【請求項4】 W-CDMAを用いたセルラー通信の移動局が、セルサーチにより同定したスクランブルコードの確認を行うセルサーチ判定回路において、  
全ての基地局で共通の第1同期チャネルコードを用いた第1遅延プロファイルと、前記セルサーチで同定したスクランブルコードを用いた第2遅延プロファイルとを用

いて、前記第1遅延プロファイルで表される全ての基地局からのパスのうち、前記第2遅延プロファイルで表される前記セルサーチで同定した基地局からのパスを除いて、セルサーチ回数を削減することを特徴とするセルサーチ判定回路。

【請求項5】 請求項4に記載のセルサーチ判定回路において、前記同一基地局からのパスを合成するRAKE受信手段を備え、前記RAKE受信手段の出力に基づいてしきい値判定を行うことを特徴とするセルサーチ判定回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、W-CDMA (Wideband-Code Division Multiple Access: 広帯域符号分割多重接続方式) を利用したセルラー通信における移動局のセルサーチ判定回路に関するものである。

## 【0002】

【従来の技術】 W-CDMAシステムにおけるセルサーチは、移動局でのスクランブルコード番号を同定する初期同期捕捉機能であり、スクランブルコードを用いないシンボル(マスクシンボル)のPSCH (Primary Synchronization Channel: 第1同期チャネル) 及びSSCH (Secondary Synchronization Channel: 第2同期チャネル) で受信タイミングの検出とスクランブルコードグループの同定を行い、CPICH (Common Pilot Channel: 共通パイロットチャネル) でスクランブルコード番号の同定を行う。

【0003】 ここで、セルサーチに用いる各チャネルのフレーム構成を説明する。図7は、PSCHとSSCHの構造を示す図である。1フレームは10ms、15スロットから構成されているものとする。基地局は、一定周期で256チップ/シンボルの長さで各スロットの先頭位置にPSCH及びSSCHを1シンボル分送信する。

【0004】 PSCHにはW-CDMAシステム全体で共通のコード $a_c$ を用いる。SSCHには16種類のコードを用いて、各スロットに一定の配列 $a_c, \dots$ で配置している。図8は、SSCHコード番号配置表の一例を示す図である。nはスクランブルコードグループ番号 (Group 1~Group 64)、mはスロット番号 (#0~#14)に対応している。CPICHは、既知のパイロットパターンが15kbpsで送信されている。

【0005】 図9は、スクランブルコードの構成を示す図である。セルサーチにおけるスクランブルコードは、16種類のコードの集まりであるSet #1 (0~15)、Set #2 (16~31)、・・・、Set #5

12(8176~8189)の中のPrimaryコード $16 \times 0, 16 \times 1, \dots, 16 \times 511$ の512コードを用いる。この512コードを、1グループあたり8コードの64グループに分割する。各スクランブルコードグループは例えば図8に示すようなSSCHのコードパターンで配置されており、移動局は、このコードを検出することでスクランブルコードグループ番号の同定、スクランブルコードの受信タイミング(フレームタイミング)を検出することができる。

【0006】図10は、従来のセルサーチ方法を示すフローチャートである。まず、STEPで、PSCHを用いたスロットタイミングの検出を行う(101)。以下、STEP1について説明する。

【0007】図11は、STEP1の構成を示すブロック図である。受信信号は、各タイミングにおける相関演算を逐次的に行うことができるマッチドフィルタであるMF801に供給される。MF801にはW-CDMAシステムで共通に用いられる拡散符号PSCHコードが供給されている。図7に示されるように、PSCHは1スロット内に1シンボル存在しているので、複数スロット区間で受信信号とPSCHコードとの相関演算を行うと、PSCHの自己相関結果がスロット周期で出力される。位相変動を低減するために、MF801の出力を電力加算部802で複数スロット区間、スロット間隔で平均化する。ここで、平均化とは電力加算平均のことである。これにより、スロット周期であるPSCHの自己相関結果の受信電力が大きくなり、かつ雑音成分は周期性がないので抑圧されてレベル比が大きくなる。スロットタイミングの検出803は、電力加算部802の平均結果に基づき、STEP2で拡散符号SSCHコードの相関演算を行うために必要なスロットタイミングを検出する。

【0008】次に、STEP2で、SSCHを用いたスクランブルコードグループの同定及びフレームタイミングの検出を行う(102)。以下、STEP2について説明する。

【0009】図12は、STEP2の構成を示すブロック図である。受信信号はフィンガ数が17個であるフィンガ901に供給される。フィンガ901の各フィンガには、PSCHコード及び全16種類のSSCHコード(1~16)がそれぞれ供給されている。PSCH及びSSCHは共にスロット周期で基地局から送信されており、フィンガ901は、STEP1で検出したスロットタイミングで相関演算を行い、PSCH及びSSCHの自己相関結果を出力する。ただし、SSCHについてはSSCHコード番号配置がスクランブルコードグループ番号及びスロット番号で決まっているので、16種類のSSCHコード内のいずれか1つの自己相関結果が出力される。他のSSCHコードは雑音成分とみなされる。

【0010】PSCHはSSCHのベクトル調整に用い

る。位相変動を低減するためにSTEP1と同様、フィンガ901の出力は、電圧加算部902で複数スロット区間、各フレーム毎に平均化される。ここで行う平均化とは、複素I、Q平面におけるI、Q相の電圧加算平均のことである。比較903は、電圧加算部902の平均結果と図8のSSCHコード番号配置表を比較する。グループ番号の同定904は、STEPIIIでCPICHの相関演算を行うために必要なフレームタイミングの検出及びスクランブルコードグループ番号の同定を行う。

【0011】ここで、フレームタイミングの検出及びスクランブルコードグループ番号の同定できたか否かの判断を行い(103)、同定できなかった場合(103, NO)は、STEP1でのスロットタイミング検出が失敗したとみなし、STEP1(101)に戻りセルサーチをやり直す。フレームタイミングの検出及びスクランブルコードグループ番号の同定ができた場合(103, YES)は、STEPIII(104)へ移行する。

【0012】次に、STEPIIIで、CPICHを用いたスクランブルコード番号の同定を行う(104)。以下、STEPIIIについて説明する。

【0013】図13は、STEP3の構成を示すブロック図である。受信信号は、フィンガ数が8個であるフィンガ1001に供給される。フィンガ1001の各フィンガには、全8種類のCPICHを表すスクランブルコード候補(0~7)がそれぞれ供給されている。フィンガ1001は、STEPIIで検出したフレームタイミングでCPICHの相関演算を行い、8種類のスクランブルコード候補内のいずれか1つに対して自己相関結果を出力する。他のスクランブルコード候補は雑音成分とみなされる。

【0014】雑音を抑制するためにSTEPIIと同様、フィンガ1001の出力は、電圧加算部1002で複数スロット区間、各フレーム毎に平均化される。スクランブルコード番号の同定1003は、電圧加算部1002の平均結果の最大値をスクランブルコード番号として同定する。

【0015】次に、STEPIIIでの誤同期を低減するために、CPICHを用いたしきい値による確認を行う(105)。以下、しきい値による確認について説明する。

【0016】図14は、従来のセルサーチ判定回路の構成を示すブロック図である。アンテナ401で受信された受信信号とCPICHコードは、フィンガ402に供給される。従ってフィンガ402は、CPICHの自己相関出力をシンボル周期で電力加算部403へ出力する。

【0017】比較部404では、電力加算部403の出力としきい値とのレベルを比較して、電力加算部403の出力がしきい値以上であるか否かの判断を行う(106)。ここで用いられるしきい値は固定値である。電力

加算部403の出力がしきい値以下の場合(106, NO)は、STEP IIIにおいてスクランブルコード番号の同定を失敗したとみなし、処理107へ移行し、スクランブルコード番号の同定を2回続けて失敗したか否かの判断を行い(107)、2回続けて失敗していなければ(107, NO)、STEP III(104)に戻りスクランブルコード番号の同定からセルサーチをやり直す。スクランブルコード番号の同定を2回続けて失敗した場合(107, YES)は、STEP Iにおいてスロットタイミングの検出を失敗したとみなし、STEP I(101)に戻ってセルサーチをやり直す。電力加算部403の出力がしきい値以上であればセルサーチを完了させる。以上のように、移動局で図10のフローチャートを繰り返すことにより、基地局のスクランブルコードが確認できる。

#### 【0018】

【発明が解決しようとする課題】しかしながら、従来のセルサーチ判定回路では、比較部404において電力加算部403の出力とのレベルの比較に用いるしきい値が固定値であるため、比較部404は位相変動による電力加算部403の出力の変動に対応しきれず誤検出が生じる。このように確認の失敗率が大きくなると、再びセルサーチを行うことになるためセルサーチ時間が長くなる。また、誤検出が発生すると移動局は基地局に接続不能となり深刻な問題となる。

【0019】本発明は上述した課題に鑑みてなされたものであり、スクランブルコード番号の同定における誤検出を低減し、サーチ時間を短縮するセルサーチ判定回路を提供することを目的とする。

#### 【0020】

【課題を解決するための手段】上述した課題を解決するため、本発明に係るセルサーチ判定回路は、W-CDMAを用いたセルラー通信の移動局が、セルサーチにより同定したスクランブルコードの確認を行うセルサーチ判定回路において、前記スクランブルコードと受信信号との相関演算を行う第1相関手段と、第1同期チャネルコードと前記受信信号との相関演算を行う第2相関手段と、前記第1相関器の出力の雑音成分を抑圧した位相ベクトルを生成する平均化手段と、前記位相ベクトルを用いて前記第1相関手段の電力を求め積分を行う第1電力加算手段と、前記位相ベクトルを用いて前記第2相関手段の電力を求め積分を行う第2電力加算手段と、前記第1電力加算手段の出力に応じたしきい値を出力するしきい値化手段と、前記しきい値を用いて前記第2電力加算手段の出力のしきい値判定を行う比較手段とを備えたことを特徴とするものである。

【0021】このような構成によれば、セルサーチ判定回路での誤検出を低減することができる。その結果、確認失敗率が小さくなるので、セルサーチ回数を削減することと共にセルサーチ時間を短縮できる。

【0022】また、本発明に係るセルサーチ判定回路において、前記しきい値化手段は、前記第1同期チャネルコードと前記スクランブルコードとの送信レベル比に基づいてしきい値を出力することを特徴とするものである。

【0023】このような構成によれば、セルサーチ判定回路の誤検出を低減し、検出精度を向上させることができる。

【0024】また、本発明に係るセルサーチ判定回路は、W-CDMAを用いたセルラー通信の移動局が、セルサーチにより同定したスクランブルコードの確認を行うセルサーチ判定回路において、前記スクランブルコードと受信信号との相関演算を行う第1相関手段と、第1同期チャネルコードと前記受信信号との相関演算を行う第2相関手段と、第2同期チャネルコードと前記受信信号との相関演算を行う第3相関手段と、前記第1相関手段の出力の雑音成分を抑圧した位相ベクトルを生成する平均化手段と、前記位相ベクトルを用いて前記第1相関手段の電力を求め積分を行う第1電力加算手段と、前記位相ベクトルを用いて前記第2相関手段の電力を求め積分を行う第2電力加算手段と、前記位相ベクトルを用いて前記第3相関手段の電力を求め積分を行う第3電力加算手段と、前記第2電力加算手段の出力に応じた第2しきい値を出力する第2しきい値化手段と、前記第2しきい値を用いて前記第3電力加算手段の出力のしきい値判定を行う第1比較手段と、前記第1電力加算手段の出力に応じた第1しきい値を出力する第1しきい値化手段と、前記第1しきい値を用いて前記第1比較部の出力のしきい値判定を行う第2比較手段とを備えたことを特徴とするものである。

【0025】このような構成によれば、信号間の干渉による誤検出を低減することにより、検出精度を向上させることができる。

【0026】また、本発明に係るセルサーチ判定回路は、W-CDMAを用いたセルラー通信の移動局が、セルサーチにより同定したスクランブルコードの確認を行うセルサーチ判定回路において、全ての基地局で共通の第1同期チャネルコードを用いた第1遅延プロファイルと、前記セルサーチで同定したスクランブルコードを用いた第2遅延プロファイルとを用いて、前記第1遅延プロファイルで表される全ての基地局からのバスのうち、前記第2遅延プロファイルで表される前記セルサーチで同定した基地局からのバスを除いて、セルサーチ回数を削減することを特徴とするものである。

【0027】このような構成によれば、同定されたスクランブルコードと同一のスクランブルコード成分のセルサーチを省略し、セルサーチの同定回数を削減することによりサーチ時間を短縮できる。

【0028】また、本発明に係るセルサーチ判定回路において、前記同一基地局からのバスを合成するRAKE

受信手段を備え、前記RAKE受信手段の出力に基づいてしきい値判定を行うことを特徴とするものである。

【0029】このような構成によれば、受信感度を良くした結果に基づいてしきい値判定を行うため、スクランブルコード同定の確認における精度が向上し、サーチ時間を短縮できる。

### 【0030】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

実施の形態1. 図1は、本実施の形態におけるセルサーチ方法を示すフローチャートである。図10と同一符号は図10に示された対象と同一または相当物を示しており、ここでの説明を省略する。本実施の形態では、図10におけるCPICHを用いたしきい値による確認(105)の処理の代わりに、PSCHとCPICHを用いた電力比較による確認(201)の処理を行う。以下、本実施の形態に係るセルサーチ判定回路について詳細に説明する。

【0031】図2は、本実施の形態におけるセルサーチ判定回路を示すブロック図である。アンテナ500で受信された受信信号は、第2フィンガ501と第1フィンガ502に供給される。また、第2フィンガ501には、W-CDMAシステムで共通に用いられるPSCHコードが供給され、第1フィンガ502にはCPICHコードが供給される。第2フィンガ501は、PSCHの自己相関結果をシンボル周期で第2複素乗算部504へ出力する。第1フィンガ502は、CPICHの自己相関結果をシンボル周期で平均化部503と第1複素乗算部505へ出力する。

【0032】平均化部503は、第1フィンガ502の出力を所定の時間、平均化する。ここで行う平均化とは、複素I、Q平面におけるI、Q相の電圧加算平均のことである。平均化部503の出力は平均化によって雑音成分が抑圧された位相変動を表す位相ベクトルとなる。

【0033】次に、PSCHの電力加算の動作について説明する。第2複素乗算部504は、平均化部503の位相ベクトルを用いて同期検波を行う。第3スイッチ506は、第2複素乗算部504の出力をスロット周期で第2加算部508へ出力する。第2加算部508は、第2加算部508の出力を一定時間保持する第2遅延部510の出力と、第3スイッチ506の出力を加算し、第2遅延部510と第4スイッチ512へ出力する。第4スイッチ512は、第2加算部508の出力をフレーム周期で第1比較部515へ出力する(PSCH出力)。

【0034】次に、CPICHの電力加算の動作について説明する。第1複素乗算部505は、平均化部503の位相ベクトルを用いて同期検波を行う。第1スイッチ507は、第1複素乗算部505の出力をスロット周期

で第1加算部509へ出力する。第1加算部509は、第1加算部509の出力を一定時間保持する第1遅延部511の出力と、第1スイッチ507の出力を加算し、第1遅延部511と第2スイッチ513へ出力する。第2スイッチ513は、第1加算部509の出力をフレーム周期で第1しきい値化手段514へ出力する。

### (CPICH出力)

【0035】図6は、フレーム構成及びタイミングを示す図である。第3スイッチ506は、図6に示すようなスロット周期のタイミングでPSCHの出力を取り出す。第1スイッチ507がCPICHの出力を取り出すタイミングは、図6に示すようにスロット周期の任意のタイミングで構わない。第1しきい値化手段514は、CPICH出力をしきい値化定数に基づいたしきい値に変換し、第1比較部515へ出力する。第1比較部515は、PSCH出力と第1しきい値化手段514の出力を比較し、PSCH出力がしきい値以上であれば(106, YES)、セルサーチを完了させる。

【0036】PSCH出力とCPICH出力は、共に位相ベクトルを用いて同期検波を行っているので、移動局側で求めたPSCH出力とCPICH出力との送信レベル比は位相変動によらず基地局で設定した一定値(しきい値)となり、しきい値は位相変動に追随するので、しきい値が固有値である従来技術と比較してセルサーチ判定回路での誤検出を低減できる。その結果、従来技術と比較して確認失敗率が小さくなるので、セルサーチ回数を低減すると共にセルサーチ時間を短縮できる。

【0037】実施の形態2. 本実施の形態では、PSCHとCPICHとの送信レベル比(PSCH/CPICH)が-3dBであることを利用し、実施の形態1のしきい値化手段514において、CPICH出力に-3dB相当の送信レベル比のしきい値化定数を与えてPSCH出力に対するしきい値とする。また、しきい値に許容範囲(しきい値範囲)を設ける。比較部515は、PSCH出力としきい値化手段514の出力を比較し、PSCH出力がしきい値±しきい値範囲内であればセルサーチを完了する。

【0038】なお、基地局において、PSCHとCPICHの送信レベル比は-3dBにとらわれることなく自由に設定可能であり、その情報は事前に移動局側でも認識しているので、送信レベル比に応じてしきい値を変動させる。実施の形態1のセルサーチ判定回路はしきい値以上でセルサーチを完了させるため、STEP1~STEP3で移動局が通信を行うべき基地局のスクランブルコードを検出しているのにも関わらずPSCH出力がしきい値を若干下回る場合、誤検出と認識して再びセルサーチを開始してしまう。本実施の形態では、しきい値に許容範囲(しきい値範囲)を設けることにより誤検出を低減することができ、実施の形態1のセルサーチ判定回路と比較して検出精度を向上させることができる。

【0039】実施の形態3. 本実施の形態では、図10におけるC P I C Hを用いたしきい値による確認(105)の処理の代わりに、SSCHとPSCHとC P I C Hを用いたしきい値による確認の処理を行う。以下、本実施の形態に係るセルサーチ判定回路について詳細に説明する。

【0040】図3は、本実施の形態におけるセルサーチ判定回路を示すブロック図である。図2と同一符号は図2に示された対象と同一または相当物を示しており、ここでの説明を省略する。アンテナ500で受信された受信信号は、第3フィンガ602と第2フィンガ501と第1フィンガ502に供給される。第3フィンガ602にはSSCHコードが供給される。第3フィンガ602はSSCHの自己相關結果をシンボル周期で第3複素乗算部603へ出力する。

【0041】次に、SSCHの電力加算の動作について説明する。第3複素乗算部603は、平均化部503の出力を用いて同期検波を行い、第5スイッチ604はその出力をスロット周期で第3加算部605へ出力する。第3加算部605は、第3加算部605の出力を一定時間保持する第3遅延部606の出力と、第5スイッチ604の出力とを加算し、第3遅延部606と第6スイッチ607へ出力する。第6スイッチ607はフレーム周期で第3加算部605の出力を第2比較部608へ出力する(SSCH出力)。

【0042】本実施の形態では、実施の形態1における第4スイッチ512の出力側に第2しきい値化手段601を挿入する。第2しきい値化手段601は、第4スイッチ512の出力(PSCH出力)をしきい値化定数に基づいたしきい値に変換し、第2比較部608へ出力する。第2比較部608は、第2しきい値化手段601の出力とSSCH出力を比較し、SSCH出力がしきい値±しきい値範囲内であればSTEP IIにおけるスクランブルコードグループの同定が成功していることが確認でき、SSCH出力を出力する。第3比較部609は、第1しきい値化手段514の出力とSSCH出力を比較し、SSCH出力がしきい値±しきい値範囲内であればセルサーチを完了する。

【0043】基地局側は、図6に示すフレーム構成のBCHとC P I C H、及び他の信号を多重化して送信する。基地局で送信する信号の内、PSCH及びSSCHは他の信号と異なる方法で拡散されており、PSCH及びSSCHと同じタイミングで多重化されている信号については信号間の干渉により劣化が生じている。実施の形態1のセルサーチ判定回路は、信号間の干渉による劣化のため誤検出をすることがある。しきい値によるレベル比較において、干渉による同じ程度の劣化をきたすPSCH出力及びSSCH出力を用いることで、干渉による劣化の量を踏まえたレベル比較を行うことができる。

以上のように、信号間の干渉による誤検出を低減するこ

とにより、実施の形態1のセルサーチ判定回路と比較して検出精度を向上させることができる。

【0044】実施の形態4. 図4は、遅延プロファイル結果の一例を示す図である。ここで、基地局数は、説明の都合上セルサーチを行う対象となる主基地局である基地局1と隣接基地局である基地局2の2つに限定するが、自由に設定可能である。

【0045】セルサーチのSTEP IにおいてPSCHの遅延プロファイルを出力すると、PSCHは全基地局(基地局1と基地局2)共通であるので、図4に示すように基地局1(BTS1)と基地局2(BTS2)のパスを検出する。また、セルサーチのSTEP III以降で検出したスクランブルコード番号を用いてC P I C Hの遅延プロファイルを出力すると、図4に示すように主基地局であるBTS1のパスのみを検出する。次に、PSCHの遅延プロファイルとC P I C Hの遅延プロファイルを比較して、同一スクランブルコード成分の特定を行う。すなわち、PSCHを用いて検出されたパスのうち、C P I C Hを用いて検出された同一基地局からのパスを除く。

【0046】実施の形態1のセルサーチ判定回路は、同一基地局からのパス位置を特定できないのでSTEP Iで検出したパス位置数分のセルサーチを行う必要があった。一方、本実施の形態によれば、同一スクランブルコード成分を特定できるので、同一スクランブルコード成分のセルサーチを省略しセルサーチの同定回数を削減することにより、実施の形態1のセルサーチ判定回路と比較してサーチ時間を短縮できる。

【0047】実施の形態5. 図5は、本実施の形態に係るセルサーチ方法を示すフローチャートである。図10と同一符号は図10に示された対象と同一または相当物を示しており、ここでの説明を省略する。本実施の形態では、図10におけるSTEP IIIの処理の後、実施の形態4で説明したように、PSCHの遅延プロファイルとC P I C Hの遅延プロファイルを比較して、同一スクランブルコード成分の特定を行い、同定回数の削減を行う(301)。次に、RAKE受信結果をもとにPSCHとC P I C Hを用いた電力比較による確認を行う(302)。本実施の形態は、セルサーチ判定回路において

同一基地局の遅延バスについては合成し、受信感度を良くした結果に基づいてしきい値判定を行う。そのため、実施の形態4のセルサーチ判定回路と比較してスクランブルコード同定の確認における精度が向上し、サーチ時間を短縮できる。

【0048】

【発明の効果】以上に詳述したように本発明によれば、スクランブルコード番号の同定における誤検出を低減し、サーチ時間を短縮するセルサーチ判定回路を提供することができる。

【図面の簡単な説明】

【図 1】実施の形態 1 におけるセルサーチ方法を示すフローチャートである。

【図 2】実施の形態 1 におけるセルサーチ判定回路を示すブロック図である。

【図 3】実施の形態 3 におけるセルサーチ判定回路を示すブロック図である。

【図 4】遅延プロファイル結果の一例を示す図である。

【図 5】実施の形態 5 におけるセルサーチ方法を示すフローチャートである。

【図 6】フレーム構成及びスイッチタイミングを示す図である。

【図 7】PSCHとSSCHの構造を示す図である。

【図 8】SSCHコード番号配置表の一例を示す図である。

【図 9】スクランブルコードの構成を示す図である。

【図 10】従来のセルサーチ方法を示すフローチャートである。

【図 11】STEP I の構成を示すブロック図である。

【図 12】STEP II の構成を示すブロック図である。

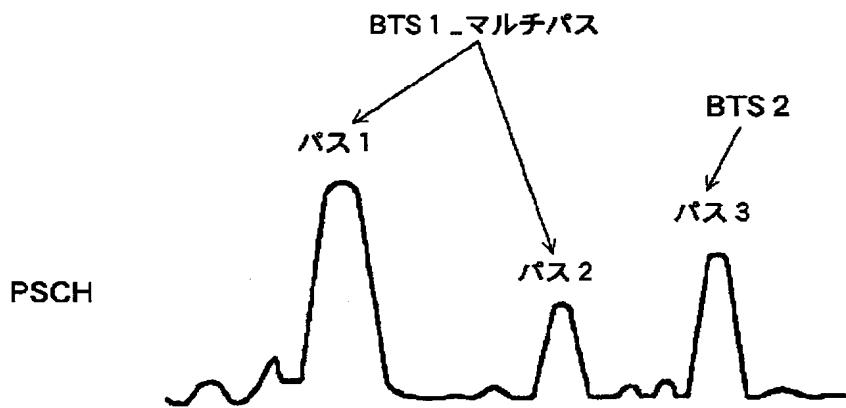
【図 13】STEP III の構成を示すブロック図である。

【図 14】従来のセルサーチ判定回路の構成を示すブロック図である。

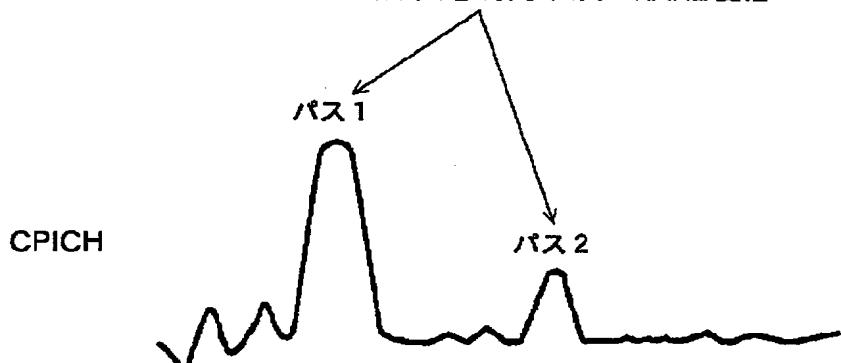
#### 【符号の説明】

500 アンテナ、501 第2フィンガ、502 第1フィンガ、503 平均化部、504 第2複素乗算部、505 第1複素乗算部、506 第3スイッチ、507 第1スイッチ、508 第2加算部、509 第1加算部、510 第2遅延部、511 第1遅延部、512 第4スイッチ、513 第2スイッチ、514 第1しきい値化手段、515 第1比較部、601 第2しきい値化手段、602 第3フィンガ、603 第3複素乗算部、604 第5スイッチ、605 第3加算部、606 第3遅延部、607 第6スイッチ、608 第2比較部、609 第3比較部。

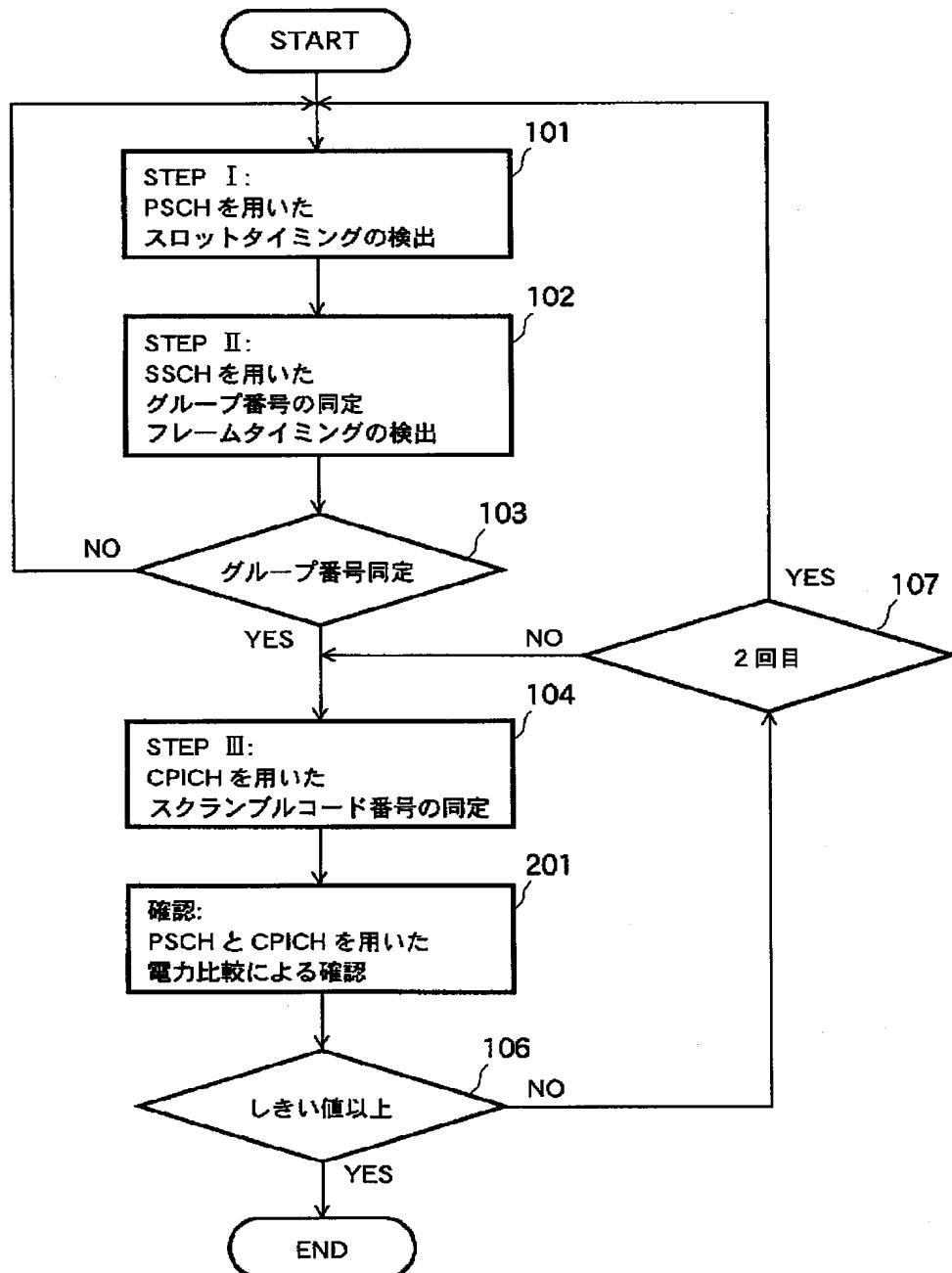
【図 4】



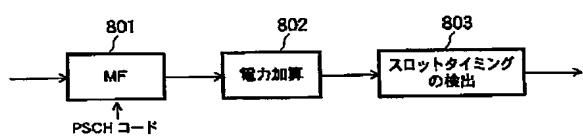
BTS 1\_マルチバス → RAKE 受信



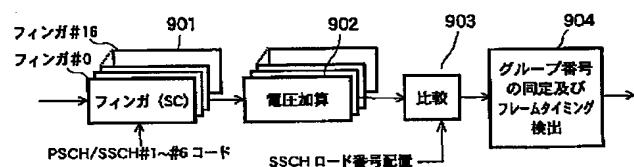
【図1】



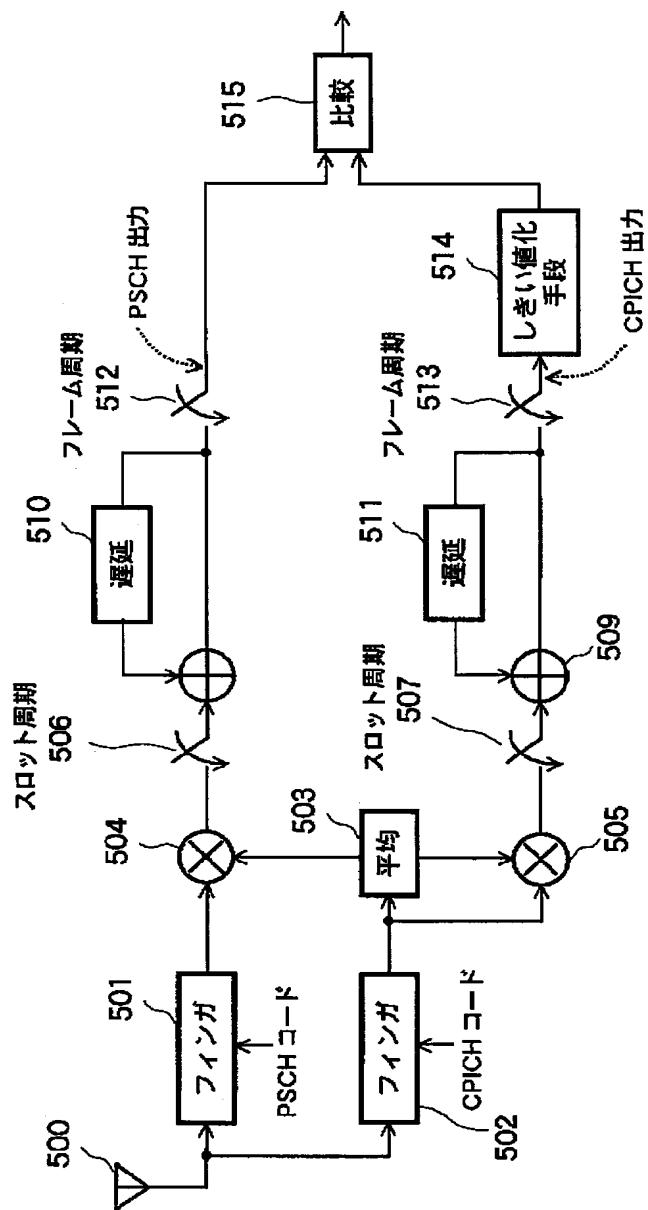
【図 1-1】



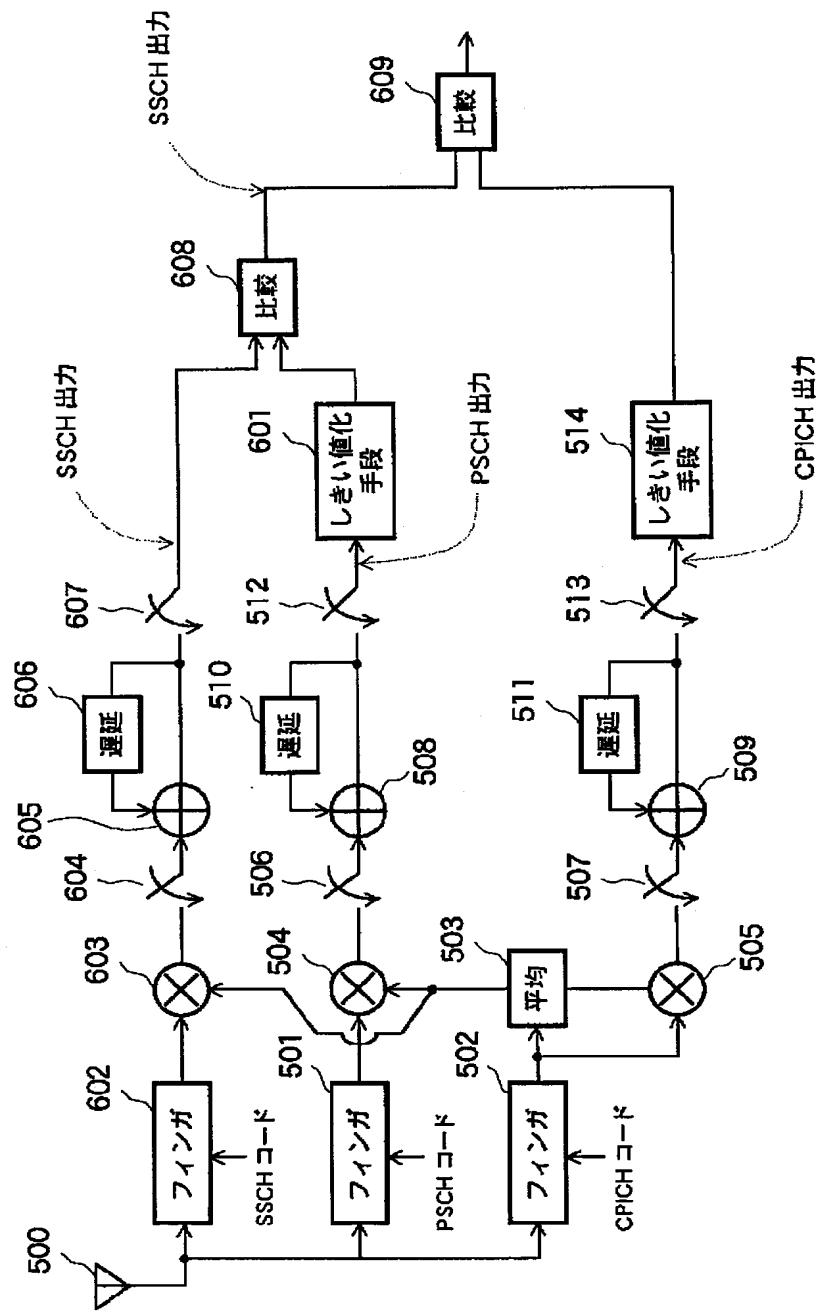
【図12】



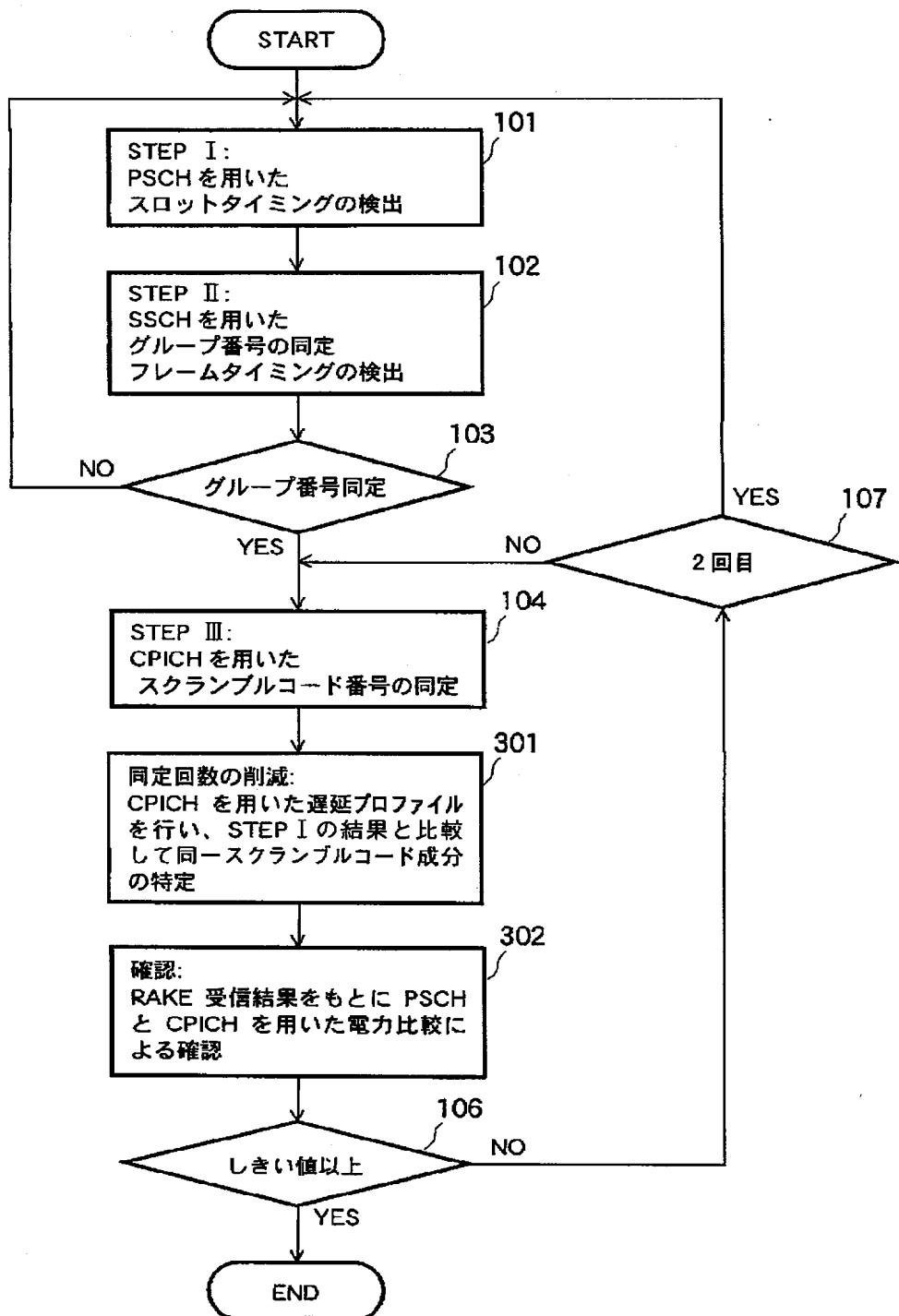
【図2】



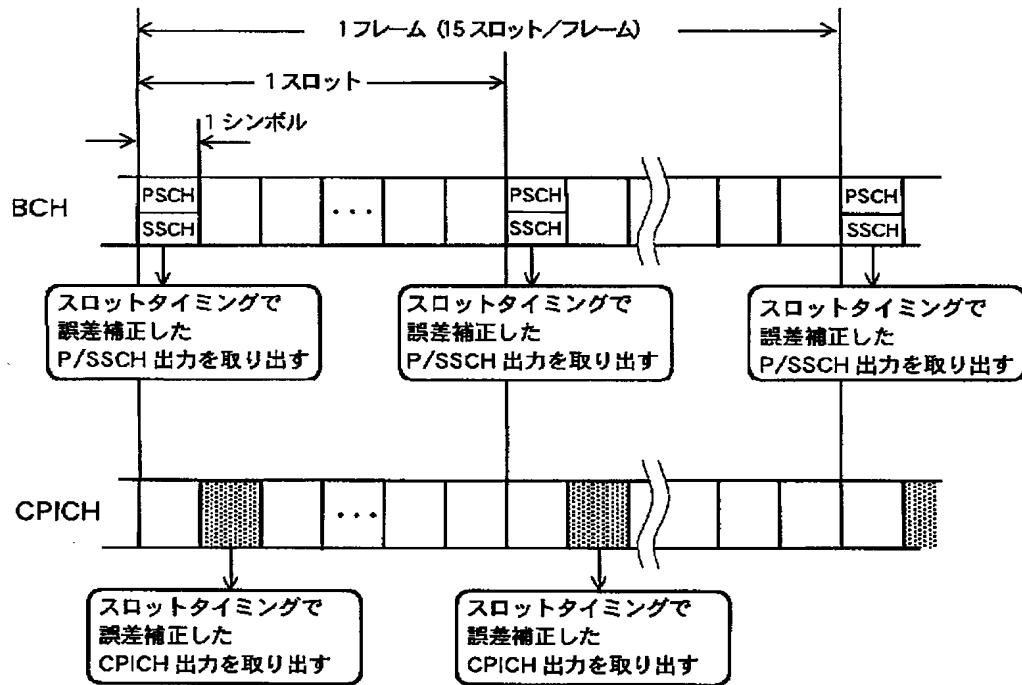
【図3】



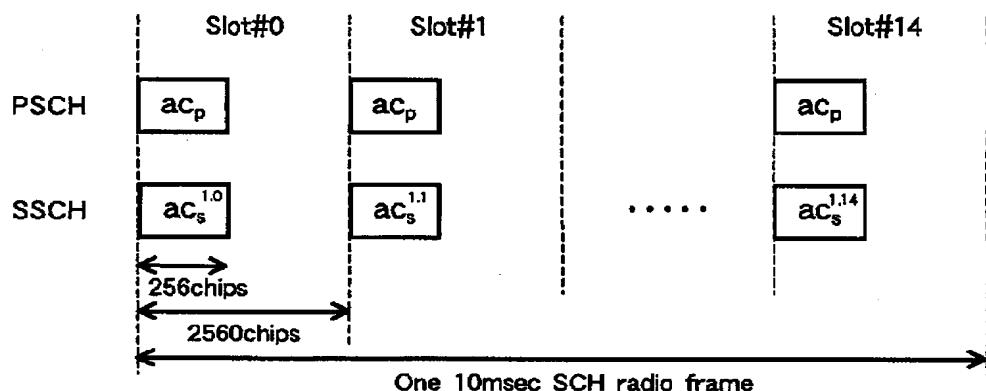
【図5】



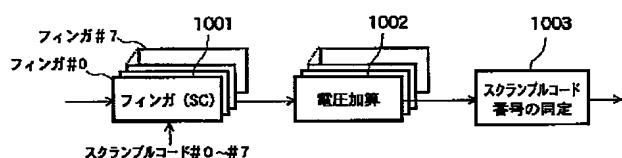
【図 6】



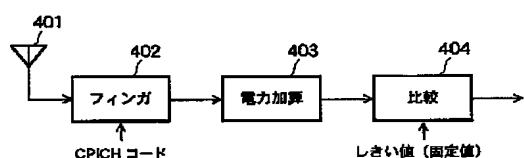
【図 7】



【図 13】



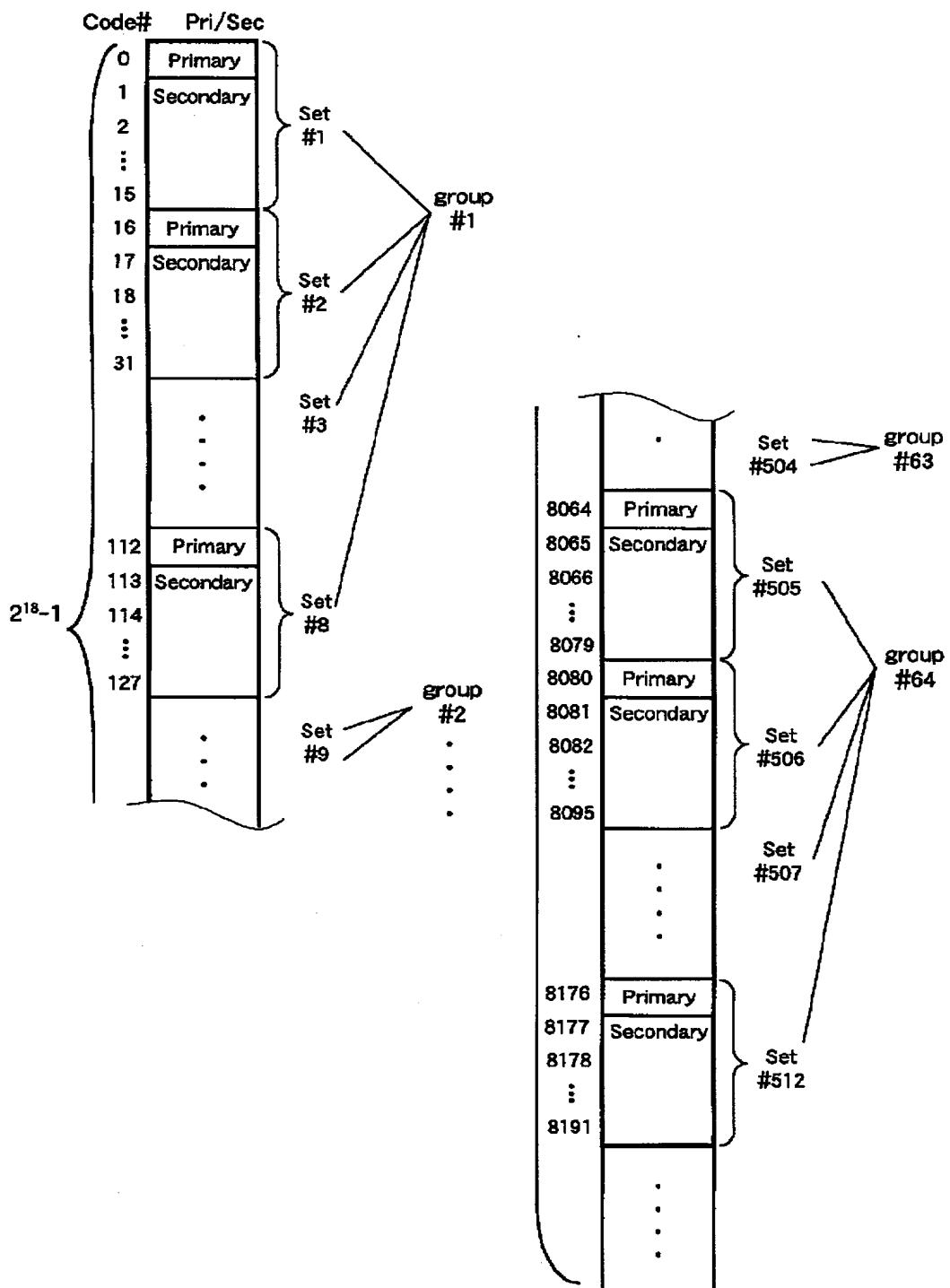
【図 14】



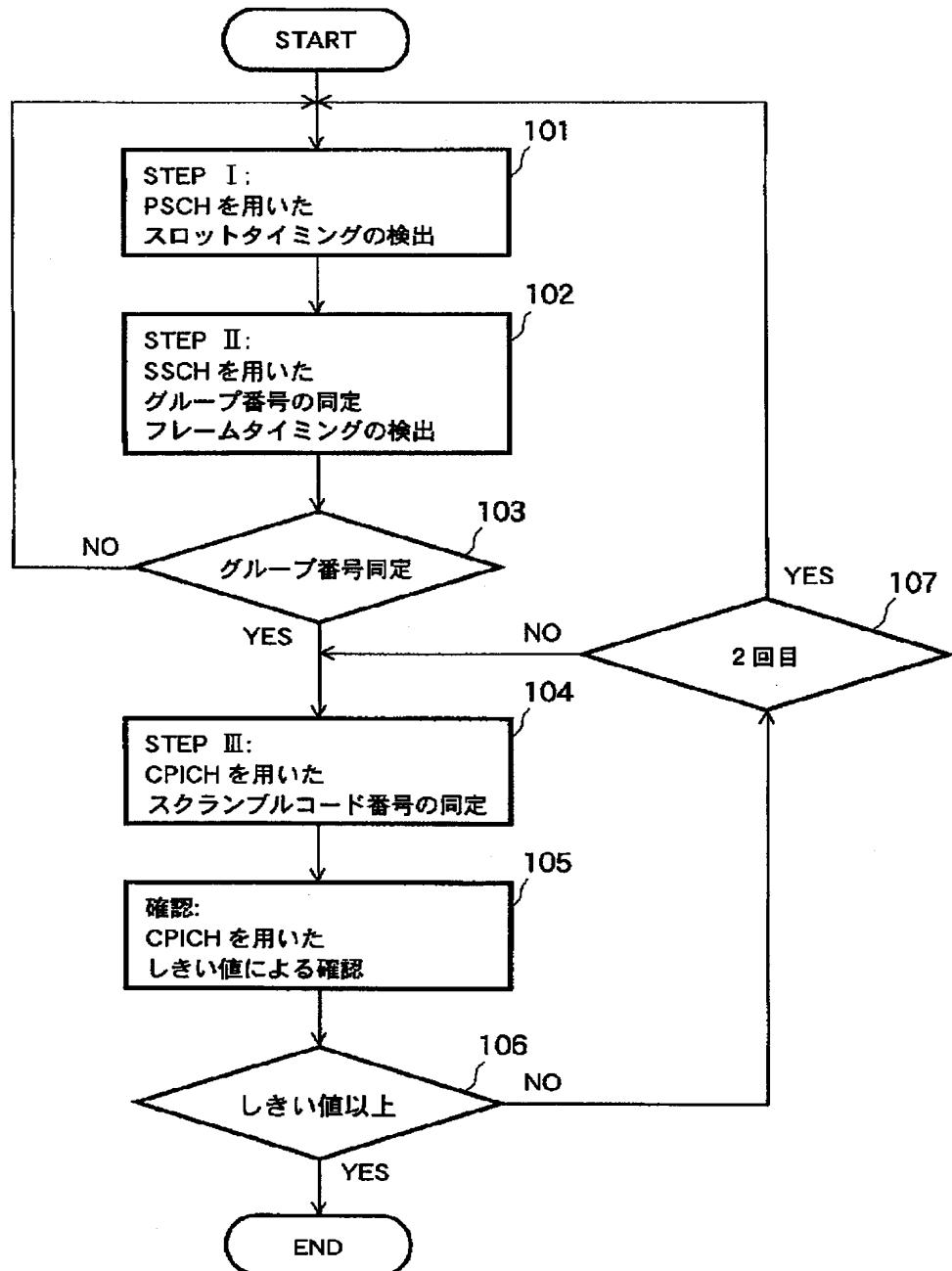
【図8】

Scrambling		slot number														
Code Group	#0	#1	#2	#3	#4	#5	#6	#7	#8	#9	#10	#11	#12	#13	#14	
Group 1	1	1	2	3	9	10	15	8	10	16	2	7	15	7	16	
Group 2	2	1	1	5	16	7	3	14	16	3	10	5	12	14	12	10
Group 3	3	1	2	1	15	5	5	12	16	6	11	2	16	11	15	12
Group 4	4	1	2	3	1	8	6	5	2	5	8	4	4	6	3	7
Group 5	5	1	2	16	6	6	11	15	5	12	1	15	12	16	11	2
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...	...
Group 60	60	5	10	12	5	5	12	8	9	7	6	7	8	11	11	9
Group 61	5	13	15	15	14	8	6	7	16	8	7	13	14	5	16	
Group 62	9	10	13	10	11	15	15	9	16	12	14	13	16	14	11	
Group 63	9	11	12	15	12	9	13	13	11	14	10	16	15	14	16	
Group 64	9	12	10	15	13	14	9	14	15	11	11	13	12	16	10	

【図9】



【図10】



フロントページの続き

F ターム(参考) 5K022 EE02 EE13 EE33 EE36  
5K047 AA02 AA12 BB01 GG34 HH01  
HH15 MM35  
5K067 AA15 AA33 BB03 BB04 CC10  
CC24 DD25 EE02 EE10 HH21  
HH22